

THIN-FILM TRANSISTOR AND ITS PRODUCTION

Publication number: JP7056190

Publication date: 1995-03-03

Inventor: MATSUO MINORU

Applicant: SEIKO EPSON CORP

Classification:

- international: **G02F1/1333; G02F1/136; G02F1/1368; H01L21/336; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L29/66;**
(IPC1-7): G02F1/136; G02F1/1333; H01L21/336; H01L29/786

- European:

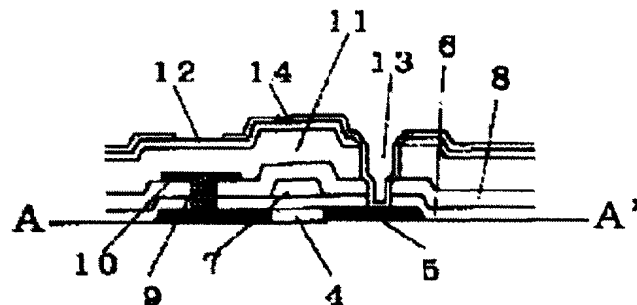
Application number: JP19930200862 19930812

Priority number(s): JP19930200862 19930812

[Report a data error here](#)

Abstract of JP7056190

PURPOSE:To make it possible to improve the shape of fine contact holes, to obtain good contact characteristics and to facilitate fine processing by opening the contact holes in drain parts and forming pixel electrodes. **CONSTITUTION:**Source wirings are formed via a first interlayer insulating film 8 in the upper part of the gate wirings of thin-film transistors(TFTs) and a second interlayer insulating film 11 is formed in the upper part of the source wirings. A third interlayer insulating film 13 is formed in the upper part of the second interlayer insulating film 11 and the pixel electrodes are formed in the upper part of the third interlayer insulating film 12. The contact between the pixel electrodes and the drain parts 5 of the TFTs is obtd. by using the contact holes 13 formed which the third interlayer insulating film 12 is isotropically etched and the second interlayer insulating film 11 is anisotropically etched. The second interlayer insulating film 11 is an org. thin film and the third interlayer insulating film 12 is an inorg. thin film. Then, the shapes of the fine contact holes 9 formed in the polyimide film 11 are improved and the good contact characteristics are obtd.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-56190

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9119-2K	
	1/1333	5 0 5	9225-2K	
H 0 1 L	29/786			
		9056-4M	H 0 1 L 29/ 78	3 1 1 P
		9056-4M		3 1 1 N
審査請求 未請求 請求項の数4 O L (全 4 頁) 最終頁に続く				

(21) 出願番号 特願平5-200862

(22) 出願日 平成5年(1993)8月12日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 松尾 稔

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

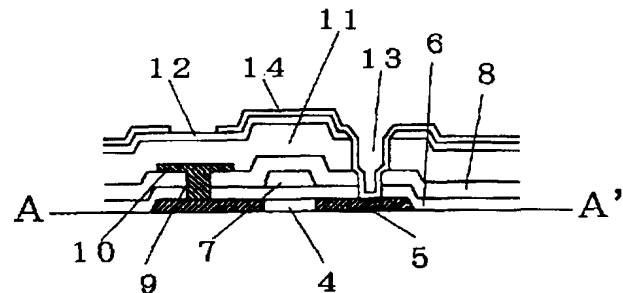
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【構成】 薄膜トランジスタのゲート配線・ソース配線・画素電極が絶縁膜を介して各々異なる層に形成され、ソース配線の上部に第二および第三の層間絶縁膜が形成され、前記の第三の層間絶縁膜が等方的にエッチングされ、第二の層間絶縁膜が異方的にエッチングされて薄膜トランジスタのドレイン部にコンタクトホールが開口され、薄膜トランジスタのドレイン部に画素電極が形成される。

【効果】 微細なコンタクトホールの形状が改善され、良好なコンタクト特性を得ることが可能であると同時に、R I Eを用いての画素電極の微細加工が容易になる。



【特許請求の範囲】

【請求項1】 アクティブマトリックス液晶表示装置に用いられる薄膜トランジスタにおいて、前記の薄膜トランジスタのゲート配線の上部に第一の層間絶縁膜を介してソース配線が形成され、前記のソース配線の上部に第二の層間絶縁膜が形成され、前記の第二の層間絶縁膜の上部に第三の層間絶縁膜が形成され、前記の第三の層間絶縁膜の上部に画素電極が形成されており、前記の第三の層間絶縁膜が等方的にエッチングされ、第二の層間絶縁膜が異方的にエッチングされたコンタクトホールを用いて前記の画素電極と薄膜トランジスタのドレイン部のコンタクトが為されていることを特徴とする薄膜トランジスタおよびその製造方法。

【請求項2】 前記の第二の層間絶縁膜が有機薄膜であり、前記の第三の層間絶縁膜が無機薄膜であることを特徴とする請求項1に記載の薄膜トランジスタおよびその製造方法。

【請求項3】 アクティブマトリックス液晶表示装置に用いられる薄膜トランジスタにおいて、絶縁基板ないしは絶縁膜上に多結晶シリコン層が形成されパターンニングされる工程と、次に前記の多結晶シリコン層の上部にゲート絶縁膜が形成される工程と、次にゲート電極が形成される工程と、前記のゲート電極上に第一の層間絶縁膜が形成される工程と、次に薄膜トランジスタのソース・ドレイン部に反応性イオンエッチングを用いて微細なコンタクトホールを開口する工程と、次にソース配線を形成する工程と、次に前記のソース配線の上部に第二および第三の層間絶縁膜が形成される工程と、次に前記の第三の層間絶縁膜を等方的にエッチングし、第二の層間絶縁膜を異方的にエッチングして薄膜トランジスタのドレイン部にコンタクトホールを開口する工程と、次に薄膜トランジスタのドレイン部に画素電極が堆積され、反応性イオンエッチングを用いてパターンニングすることを特徴とする薄膜トランジスタおよびその製造方法。

【請求項4】 前記の第二の層間絶縁膜が有機薄膜であり、前記の第三の層間絶縁膜が無機薄膜であることを特徴とする請求項3に記載の薄膜トランジスタおよびその製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス液晶表示装置に用いられる薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタを用いたアクティブマトリックス型液晶表示装置は、近年ますます高精細化が進行している。高精細で良好な表示品質の液晶表示装置を得るためには、薄膜トランジスタの微細化と同時に薄膜トランジスタのソース配線、ゲート配線を埋め込むことが有効である。配線を埋め込むために有機薄膜を用い

た例としては、有機薄膜にポリイミド膜を用いた例として反射型アクティブマトリックス液晶表示装置においては、特開昭57-20779や特公平1-35351などがある。また透過型アクティブマトリックス液晶表示装置においては、特開平2-207222がある。有機薄膜としてポリイミド膜を用いる理由は、ポリイミド膜の比誘電率が小さく、また厚く形成することが容易であるため、アクティブマトリックス液晶表示装置の層間絶縁膜として好適であるからである。また反応性イオンエッチング(RIE)などを用いてポリイミド膜に微細なコンタクトホールを形成することが可能であるが、ポリイミド膜の膜厚が厚くなるとコンタクトホールのアスペクト比が大きくなり、良好なコンタクトを得ることが困難になる。また高精細な液晶表示装置を達成するには、配線を埋め込むだけでなく、画素電極の微細化も必要となるが、ポリイミド膜上の画素電極の微細加工をRIEで行うには、ポリイミド膜へのダメージが問題となる。

【0003】

【発明が解決しようとする課題】 アクティブマトリックス液晶表示装置に用いられる薄膜トランジスタにおいて、層間絶縁膜にポリイミドを用いた場合に問題となるポリイミド膜に形成される微細なコンタクトホールの形状を改善し、良好なコンタクト特性を得ると同時にポリイミド膜上の画素電極をRIEなどにより微細加工できる構造と製造方法を考案する。

【0004】

【課題を解決するための手段】 絶縁基板ないしは絶縁膜上に多結晶シリコン層が形成されパターンニングされる工程と、次に前記の多結晶シリコン層の上部にゲート絶縁膜が形成される工程と、次にゲート電極が形成される工程と、前記のゲート電極上に第一の層間絶縁膜が形成される工程と、次に薄膜トランジスタのソース・ドレイン部にコンタクトホールを開口する工程と、次にソース配線を形成する工程と、次に前記のソース配線の上部に第二および第三の層間絶縁膜が形成される工程と、次に前記の第三の層間絶縁膜を等方的にエッチングし、第二の層間絶縁膜を異方的にエッチングして薄膜トランジスタのドレイン部にコンタクトホールを開口する工程と、次に薄膜トランジスタのドレイン部に画素電極が形成されることを特徴とする。

【0005】

【実施例】 以下に、本発明の一実施例を図1、図2および図3を用いて説明する。図1は本発明の薄膜トランジスタおよびその製造方法の一実施例の平面図である。図1において、ゲート配線1およびソース配線2、画素電極3は各々異なる平面に形成されており、画素電極3は、ゲート配線1およびソース配線2と部分的に重なっている。図2は図1におけるA-A'部の断面を示した図である。薄膜トランジスタのチャネルとなる多結晶シリコン膜4、ソース・ドレイン領域5、ゲート絶縁膜

6、ゲート絶縁膜上に形成されたゲート電極7、前記のゲート電極7上にシリコン酸化膜やシリコン窒化膜で形成された第一の層間絶縁膜8、第一の層間絶縁膜8およびゲート絶縁膜6にR I Eを用いて形成された微細なコンタクトホール9、Alなどの金属を用いて形成されたソース電極10、第二の層間絶縁膜であるポリイミド膜11、シリコン酸化膜やシリコン窒化膜、酸化タンタルなどを用いて形成された第三の層間絶縁膜12、R I Eを用いて第二の層間絶縁膜11および第三の層間絶縁膜12に開口された微細なコンタクトホール13、インジウム錫酸化物(I T O) 14などで形成された画素電極を示す。次に本発明の薄膜トランジスタおよびその製造方法の一実施例を図3(a)から(d)の工程図を用いて説明する。まず図3(a)に示すようにガラスや石英などの透明な絶縁基板に多結晶シリコン膜4を500 Åから1000 Å程度の厚さで堆積し、パターンニングする。前記の絶縁基板の純度が低く、重金属などが多結晶シリコン膜に拡散する危険性がある場合には、多結晶シリコン膜4を堆積する前にシリコン酸化膜を絶縁基板上に堆積すればよい。次にシリコン酸化膜を1200 Åの厚さで堆積しゲート絶縁膜6を形成するか、あるいは前記の多結晶シリコン膜4を熱酸化させてゲート絶縁膜を形成する。次にゲート電極7を形成し、イオン注入法を用いてソース・ドレイン領域5を形成する。前記ゲート電極としては、燐を含む多結晶シリコンや、Cr、Ta、Alなどの金属、MoSi₂などの珪化物などが用いられる。また前記ゲート電極の膜厚は特に限定されず、薄膜トランジスタのソース・ドレイン領域5に打ち込まれる不純物イオンを阻止する為に十分な厚さであればよい。例えば、前記ゲート電極に多結晶シリコンを用いた場合の膜厚は、3500 Å以上あれば、100 keVで打ち込まれる燐イオンを十分阻止できる。次に図3(b)に示すように、シリコン酸化膜を5000 Åの厚さで堆積し第一の層間絶縁膜8を形成する。ソース・ドレイン領域にR I Eを用いて異方性のエッチング条件で2×2 μmサイズの微細なコンタクトホール9を開いた後、Alにてソース電極配線10を行なう。前記の異方性のエッチング条件の一例として、エッチングガスにCHF₃を用い、ガス流量20 s c c m、反応圧力10 Pa、r f出力1 kWの条件を用いることができる。次に図3(c)に示すように第二の層間絶縁膜としてポリイミド膜11を硬化後の膜厚で1 μmとなるようにスピコーターを用いて塗布し、300℃で熱硬化させる。ポリイミド膜は、液晶表示装置用に十分な透光性や耐薬品性を保証できるものであれば、特に限定されない。次にシリコン酸化膜を2000 Åの厚さでプラズマCVD法やスパッタ等を用いて堆積し第三の層間絶縁膜12を形成する。前記のシリコン酸化膜はポリイミドの耐熱性を考慮して、300℃以下で形成することが好ましい。

また、前記のシリコン酸化膜以外には、シリコン窒化膜や酸化タンタルを用いることが可能である。次にレジストをマスクとして、第三の層間絶縁膜12にコンタクトを開ける。前記の第三の層間絶縁膜12のコンタクトエッチングは、R I Eなどを用いた場合にコンタクトにデーパーがつく等方性のエッチング条件を用いるか、HFを用いてのウェットエッチングを行う。次に図3(d)に示すように、第三の層間絶縁膜12をマスクとして、前記のポリイミド膜11をR I Eを用いて異方性エッチング条件でエッチングを行い、コンタクト13を開く。前記のポリイミド膜11のエッチング条件の一例としては、エッチングガスにO₂を用い、ガス流量20 s c c m、反応圧力13 Pa、r f出力1 kWの条件をもちいることができる。前記のポリイミド膜11のエッチングにおいて、第一の層間絶縁膜のコンタクトホール9のエッジ部がイオン衝撃効果により面取りされるため、コンタクト形状は更に改善される。最後にインジウム錫酸化物(I T O) 14を1600 Åの厚さとなるようにスパッタ法で堆積し、R I Eを用いてパターンニングする。

【0006】

【発明の効果】本発明により、以下の効果がある。

【0007】(1)、ポリイミド膜に形成された微細なコンタクトホールの形状が改善され、良好なコンタクト特性を得ることが可能になった。

【0008】(2)、ポリイミド膜上に形成された画素電極をR I Eを用いて微細加工することが容易になり、高精細な液晶表示装置が実現可能となった。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す平面図である。

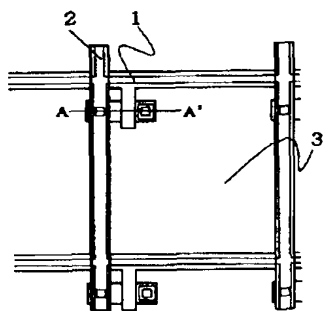
【図2】 図1におけるA-A'部の断面を示す断面図である。

【図3】 本発明の一実施例を示す工程図である。

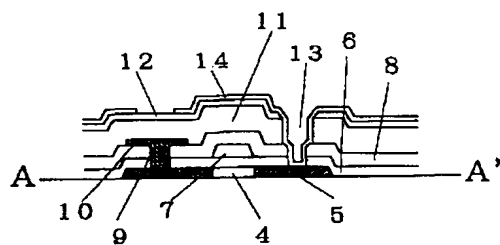
【符号の説明】

1. ゲート配線
2. ソース配線
3. 画素電極
4. 多結晶シリコン膜
5. ソース・ドレイン領域
6. ゲート絶縁膜
7. ゲート電極
8. 第一の層間絶縁膜
9. コンタクトホール
10. ソース電極配線
11. ポリイミド膜
12. 第三の層間絶縁膜
13. コンタクトホール
14. インジウム錫酸化物

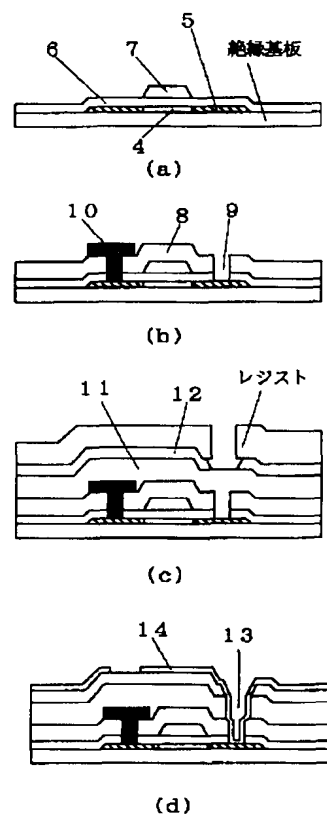
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/336

識別記号

庁内整理番号

F I

技術表示箇所

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Publication Number: H7-56190

(43) Publication Date: March 3, 1995

(51) Int. Cl. ⁶	Identification Code	JPO File Number	FI	TI
G02F 1/136	500	9119-2K		
1/1333	505	9225-2K		
H01L 29/786				
		9056-4M	H01L 29/78	311 P
		9056-4M		311 N

Request for Examination: Not filed Number of Claims: 4 OL (4 pages in total)

Continued on the last page

(21) Application Number: H5-200862

(22) Filing Date: August 12, 1993

(71) Applicant: 000002369

Seiko Epson Corporation

2-4-1 Nishi-Shinjuku-ku, Shinjuku, Tokyo

(72) Inventor: Minoru MATSUO

c/o Seiko Epson Corporation

3-3-5 Owa, Suwa-shi, Nagano

(74) Agent: Patent attorney, Kisaburo SUZUKI (and one other)

(54) [Title of the Invention] THIN FILM TRANSISTOR AND THE MANUFACTURING METHOD THEREOF

(57) [Abstract]

[Constitution] A gate wiring, a source wiring and a pixel electrode are respectively formed in different layers with an insulating film interposed between each layer, a second interlayer insulating film and a third interlayer insulating film are formed over the source wiring, the third interlayer insulating film is isotropically etched, the second interlayer insulating film is anisotropically etched to open a contact hole at a drain portion, and the pixel electrode is formed at the drain portion.

[Effect] The shape of a minute contact hole is improved, and this allows favorable

contact properties to be obtained; at the same time, microfabrication of a pixel electrode by using the RIE becomes easier.

[Scope of Claims]

[Claim 1] A thin film transistor used in an active matrix liquid crystal display device and the manufacturing method thereof having:

- a source wiring formed over a gate wiring of the thin film transistor through a first interlayer insulating film,

- a second interlayer insulating film formed over the source wiring,

- a third interlayer insulating film formed over the second interlayer insulating film, and

- a pixel electrode formed over the third interlayer insulating film,

wherein the contact between the pixel electrode and a drain portion of the thin film transistor is obtained by using a contact hole where the third interlayer insulating film is isotropically etched and the second interlayer insulating film is anisotropically etched.

[Claim 2] The thin film transistor and the manufacturing method thereof according to claim 1 wherein the second interlayer insulating film is an organic thin film and the third interlayer insulating film is an inorganic thin film.

[Claim 3] A thin film transistor used in an active matrix liquid crystal display device and the manufacturing method thereof having the steps of:

- forming a polycrystalline silicon layer on an insulating substrate or an insulating film to be patterned,

- forming a gate insulating film over the polycrystalline silicon layer,

- forming a gate electrode,

- forming a first interlayer insulating film on the gate electrode,

- opening a minute contact hole at a source and drain portion of the thin film transistor by using reactive ion etching,

- forming a source wiring,

- forming a second interlayer insulating film and a third interlayer insulating film over the source wiring,

- opening a contact hole at a drain portion of the thin film transistor by etching isotropically the third interlayer insulating film and etching anisotropically the second

interlayer insulating film, and

depositing a pixel electrode at the drain portion of the thin film transistor to be patterned by using reactive ion etching.

[Claim 4] The thin film transistor and the manufacturing method thereof according to claim 3 wherein the second interlayer insulating film is an organic thin film and the third interlayer insulating film is an inorganic thin film.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application] The present invention relates to a thin film transistor used in an active matrix liquid crystal display device and the manufacturing method thereof.

[0002]

[Prior Art] Increase in the resolution of active matrix liquid crystal display devices using thin film transistors has been increasingly progressed in recent years. In order to obtain a liquid crystal display device of high resolution and favorable display quality, it is effective to embed a source wiring and a gate wiring of a thin film transistor as well as to miniaturize the thin film transistor. In a reflective type active matrix liquid crystal display device, Japanese Published Application No. S57-20779, Examined Patent Application Publication No. H1-35351 or the like can be given as an example that an organic thin film is used for embedding a wiring and that a polyimide film is used for an organic thin film. In a transmissive type active matrix liquid crystal display device, Japanese Published Application No. H2-207222 can be given as an example. The reason for using a polyimide film for an organic thin film is that the polyimide film is appropriate for an interlayer insulating film of an active matrix liquid crystal display device because the polyimide film has a small dielectric constant, and can be easily formed to be thick. Also, a minute contact hole can be formed in the polyimide film by using reactive ion etching (hereinafter referred to as RIE) or the like. However, it becomes difficult to obtain favorable contact when the aspect ratio of the contact hole becomes larger along with the increase in the film thickness of the polyimide film. In addition, in order to achieve a liquid crystal display device of high resolution, miniaturizing a pixel electrode is necessary as well as embedding a wiring. However, when microfabrication of the pixel electrode on the polyimide film is

performed by using the RIE, damages to the polyimide film becomes a problem.

[0003]

[The Problem to be Solved by the Invention] In a thin film transistor used in an active matrix liquid crystal display device, the shape of a minute contact hole formed in a polyimide film becomes a problem when polyimide is used for an interlayer insulating film. The structure and the manufacturing method in which microfabrication of a pixel electrode on the polyimide film can be performed by using the RIE or the like as well as improving the shape of the minute contact hole to obtain favorable contact properties are invented.

[0004]

[Means for Solving the Problem] A feature of the present invention is to have the steps of forming a polycrystalline silicon layer on an insulating substrate or an insulating film to be patterned, forming a gate insulating film over the polycrystalline silicon layer, forming a gate electrode, forming a first interlayer insulating film on the gate electrode, opening a contact hole at a source and drain portion of the thin film transistor, forming a source wiring, forming a second interlayer insulating film and a third interlayer insulating film over the source wiring, opening a contact hole at a drain portion of the thin film transistor by etching isotropically the third interlayer insulating film and etching anisotropically the second interlayer insulating film, and forming a pixel electrode at the drain portion of the thin film transistor.

[0005]

[Embodiment] One embodiment of the present invention will be explained with reference to figures 1 through 3. Figure 1 is a plan view of a thin film transistor and the manufacturing method thereof according to the invention. In figure 1, a gate wiring 1, a source wiring 2 and a pixel electrode 3 are respectively formed in different layers. The pixel electrode 3 is made partly overlapped with the gate wiring 1 and the source wiring 2. Figure 2 is a view showing the cross section of an A-A' part in figure 1. Figure 2 shows a polycrystalline silicon film 4 to be served as a channel of the thin film transistor, a source and drain region 5, a gate insulating film 6, a gate electrode 7 formed on the gate insulating film, a first interlayer insulating film 8 formed on the gate electrode 7 by a silicon oxide film or a silicon nitride film, a minute contact hole 9 formed by using the RIE in the first interlayer insulating film 8 and the gate insulating

film 6, a source electrode 10 formed by using metal such as Al, a polyimide film 11 which serves as a second interlayer insulating film, a third interlayer insulating film 12 formed by using the silicon oxide film, the silicon nitride film, a tantalum oxide or the like, a minute contact hole 13 opened by using the RIE in the second interlayer insulating film 11 and the third interlayer insulating film 12, a pixel electrode formed by indium tin oxide (ITO) 14 or the like. Next, one embodiment of a thin film transistor and the manufacturing method thereof according to the invention will be explained with reference to the process drawings of figures 3(a) to 3(d). First, as shown in figure 3(a), the polycrystalline silicon film 4 is deposited on a transparent insulating substrate such as glass or quartz to a thickness approximately from 500 Å to 1000 Å to be patterned. When the purity of the insulating substrate is low, and there is a risk that heavy metal or the like is diffused into the polycrystalline silicon film, the silicon oxide film may be deposited prior to the deposition of the polycrystalline silicon film 4. Next, the gate insulating film 6 is formed by depositing the silicon oxide film to a thickness of 1200 Å, or by thermally oxidizing the polycrystalline silicon film 4. Next, the gate electrode 7 is formed, and the source and drain region 5 is formed by using an ion implantation method. As the gate electrode, polycrystalline silicon including phosphorus, metal such as Cr, Ta or Al, silicide such as MoSi_2 , or the like is used. The film thickness of the gate electrode is not particularly limited, and it is acceptable as long as it has sufficiently enough thickness to prevent impurity ions that are implanted to the source and drain region 5 of the thin film transistor. For example, when the polycrystalline silicon is used for the gate electrode, phosphorus ions, which are implanted at 100 keV, can be sufficiently prevented as long as the film thickness is 3500 Å or more. Next, as shown in figure 3(b), the silicon oxide film is deposited to a thickness of 5000 Å to form the first interlayer insulating film 8. After the minute contact hole 9 with the size of $2 \times 2 \mu\text{m}$ is opened at the source and drain region by using the RIE under an anisotropic etching condition, the source electrode wiring 10 is performed by using Al. As an example of the anisotropic etching condition, the condition that CHF_3 is used for etching gas, a gas flow rate is 20 sccm, reaction pressure is 10 Pa, and rf output power is 1 kW can be used. Next, as shown in figure 3(c), as the second interlayer insulating film, the polyimide film 11 is applied to have an after-curing-thickness of 1 μm by using

a spin coater. Thus formed film is then thermally cured at 300°C. The polyimide film is not particularly limited as long as it ensures sufficient translucency and chemical-resistant properties for a liquid crystal display device. Next, the silicon oxide film is deposited to a thickness of 2000 Å by using a plasma CVD method, sputtering or the like to form the third interlayer insulating film 12. Considering the heat resistance property of polyimide, it is preferable that the silicon oxide film is formed at 300°C or less. Other than the silicon oxide film, the silicon nitride film or tantalum oxide can be used. Next, a contact is opened in the third interlayer insulating film 12 by using a resist as a mask. As the etching for opening the contact in the third interlayer insulating film 12, an isotropic etching condition under which the contact is formed in a tapered shape in the case of using the RIE or the like is employed, or wet etching using HF is performed. Next, as shown in figure 3(d), the polyimide film 11 is etched by the RIE under an anisotropic etching condition by using the third interlayer insulating film 12 as a mask to open the contact 13. As an example of the condition for etching the polyimide film 11, the condition that O₂ is used for etching gas, a gas flow rate is 20 sccm, reaction pressure is 13 Pa, and rf output power is 1 kW can be used. Since the edge portion of the contact hole 9 in the first interlayer insulating film is cut off by ion bombardment effect when the polyimide film 11 is etched, the shape of the contact is further improved. Lastly, indium tin oxide (ITO) 14 is deposited to a thickness of 1600 Å by a sputtering method to be patterned by using the RIE.

[0006]

[The Effect of the Invention] The present invention has the following effects.

[0007] (1). The shape of a minute contact hole that is formed in a polyimide film is improved, and this allows favorable contact properties to be obtained.

[0008] (2). A pixel electrode that is formed on a polyimide film is microfabricated by using RIE more easily, and this allows a liquid crystal display device with high resolution to be realized.

[Brief Description of the Drawings]

[Figure 1] A plan view showing an embodiment according to the present invention.

[Figure 2] A cross-sectional view showing the cross section of an A-A' part in

figure 1.

[Figures 3] Process drawings showing an embodiment according to the present invention.

[Explanation of Reference Numerals]

1. A gate wiring
2. A source wiring
3. A pixel electrode
4. A polycrystalline silicon film
5. A source and drain region
6. A gate insulating film
7. A gate electrode
8. A first interlayer insulating film
9. A contact hole
10. A source electrode wiring
11. A polyimide film
12. A third interlayer insulating film
13. A contact hole
14. Indium thin oxide

Continued from the front page

(51) Int. Cl. ⁶	Identification Code	JPO File Number	FI	TI
H01L 21/336				